

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-313233

(43)Date of publication of application : 21.12.1988

(51)Int.Cl.

G06F 7/00
G06F 9/30

(21)Application number : 62-148981

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.06.1987

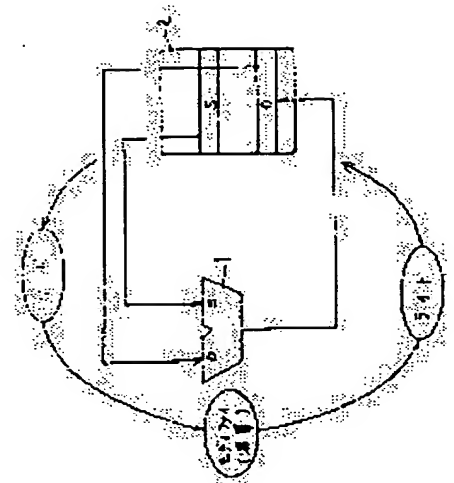
(72)Inventor : KIMURA KOICHI
SAEKI YUJI

(54) PROCESSOR

(57)Abstract:

PURPOSE: To remove restriction to the number of registers by connecting a dual port memory having a read/modify/write cycle to the outside of a gate array and allowing the memory to act as a register.

CONSTITUTION: When an arithmetic logical circuit 1 executes operation by using data in a register group 2, two data in the register group 2 are optionally selected by defining one data as source data S and the other as destination data D and the operated result is returned again to a destination area. Namely, the read/modify/write operation is executed during the period of one cycle. The read/write address of the destination data is not changed. Thereby, the dual port memory can be used as an external register by executing the read/ modify/write operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭63-313233

⑪ Int. Cl.⁴G 06 F 7/00
9/30

識別記号

3 7 0

庁内整理番号

R-7313-5B
7361-5B

⑬ 公開 昭和63年(1988)12月21日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 処理装置

⑯ 特 願 昭62-148981

⑰ 出 願 昭62(1987)6月17日

⑱ 発 明 者 木 村 光 一 神奈川県横浜市戸塚区古田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑲ 発 明 者 佐 伯 祐 司 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称

処理装置

2 特許請求の範囲

1. ALUと内部レジスタ群を少くとも有する処理装置において、リード/モデファイ/ライト可能なメモリを外部レジスタとして設け、前記ALUが上記外部レジスタと直接演算できる様に構成したことを特徴とする処理装置。

2. 特許請求の範囲第1項記載の処理装置において、前記外部レジスタからのソースデータの一時格納用レジスタを設けたことを特徴とする処理装置。

3. 特許請求の範囲第2項記載の処理装置において、演算対象となるデータがソース、デストネーション共に前記外部レジスタにある場合には、第1番目にソースデータを前記一時格納用レジスタに格納し、次に前記外部レジスタのデストネーションデータと前記一時格納用レジスタデータとの演算を行い、演算対象となるソースデ

ータが該内部レジスタに存在し、デストネーションデータは前記外部レジスタに存在する場合及びデストネーションデータが該内部レジスタに存在し、ソースデータが該外部レジスタに存在する場合及びソースデータ、デストネーションデータ共に前記内部レジスタに存在する場合には、前記一時格納用レジスタを介さずに演算することを特徴とする処理装置。

4. 特許請求の範囲第1項記載の処理装置において、前記内部レジスタと前記外部レジスタのアドレスとしたことを特徴とする処理装置。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は処理装置に係り、特にゲートアレイ及びASIC等に好適な内部レジスタ構築を可能とした処理装置に関する。

〔従来の技術〕

現在、ゲートアレイ及びASIC等による専用プロセッサの開発が盛んであるが、内部レジスタの持てる数が少ないという問題がある。これは、

レジスタを構成するためのトランジスタ数が多いため、物理的制約からあまり多くのレジスタが持てないためである。すなわち、例えばゲート数に比べてレジスタのトランジスタ数は1ケタ以上大きいためである。

なお、この種の装置として関連するものに、モトローラ社製68000等がある。

〔発明が解決しようとする問題点〕

上記従来技術は、内部ALU(算術論理回路)を用いた処理装置において、演算対象となるレジスタ増加の要求の点について配慮がされておらず、処理速度及びソフトウェアの複雑化に問題があった。また、レジスタの増加要求に対してはゲート数の多いゲートアレイを選択しなければならないという問題があった。

本発明は上記従来技術の問題を解決し、レジスタの数が制限されることがなく、かつプログラムの複雑化を回避できるようにした処理装置を提供することを目的とする。

〔問題点を解決するための手段〕

ード/モデファイ/ライト動作を行うことにより、外部レジスタとして使用できる。

〔実施例〕

以下、本発明の実施例を図面を用いて説明する。

第1図は本発明の一実施例を示すブロック図であつて、1はALU、2は内部レジスタ、21はリード/モデファイ/ライト動作可能なメモリで構成する外部レジスタ、3はアキュムレータ、4はソース及びデストネーションアドレスを生成するアドレスコントロール部、5はプロセッサである。

第2図はメモリのリード/モデファイ/ライトの動作図である。なお、内部レジスタと外部レジスタのアドレスはここでは連続アドレッシングをとるものとする。

第3図は従来技術と本発明の各演算例を示す動作図であつて(a)は従来技術における演算の例、(b)は本発明における演算例を示す。ここで前提条件としては、演算対象となるデータが外部にあるものとする。

上記目的は、リード/モデファイ/ライトサイクルを持つデュアルポートメモリをゲートアレイの外部に設け、これをレジスタとして動作可能に構成することにより、達成される。

〔作用〕

以上のように構成した本発明の処理装置の作用を第4図により説明する。

第4図はALUとレジスタ間の動作説明図であつて、1は演算を行うALU、2はデュアルポートメモリから成るレジスタ群である。

同図に示した部に、ALU1がレジスタ群2のデータを用いて演算する場合に、レジスタ群2の中の2つのデータを任意に選択し、一方をソースデータS、他方をデストネーションデータDとして演算し、且つその演算結果はデストネーションエリアに再び戻す操作を行う。従つて、言い換えれば1サイクルの期間にリード/モデファイ/ライト動作を行う。また、デストネーションデータのリード/ライトアドレスは不変であることに着目する。従つて、デュアルポートメモリでリ

第1図に示した様に、演算対象となるデータが全て外部レジスタにあると仮定すると、本発明ではメモリの構成上の制限、すなわち、異なるアドレス上のデータは同時にアクセスできないため、ソースとなるデータを最初にアキュムレータ3に準備しなくてはならない。その後、デストネーションデータのリード/ソースデータとのモデファイ(演算)/ライト(演算結果の格納)を実行する。すなわち、第2図に示した様に1サイクルの期間でリード/モデファイ/ライトを実行する。この時、既にソースデータはアキュムレータ3に読み出してあるため、デストネーションアドレス固定で実行することができる。

本発明を用いることにより、第4図に示した様に、上記条件では、(a)のように、外部からのデータリード(ステップ1)、外部からのデータリード(ステップ2)、演算(ステップ3)、外部へのデータライト(ステップ4)の4つのステップが、本発明では、(b)のように、外部からのデータリード(ステップ1')、演算(ステップ

2')の2つのステップで済むことになる。

〔発明の効果〕

以上説明したように本発明によれば

(1) 外部レジスタをメモリ構成とすることができ、ほぼ無限のレジスタを設けることができる。

(2) このことは、プログラミングする上で、レジスタにパラメータ等のデータが全て持てることになり、大きなメリットとなる。

(3) 処理速度が速い。

(4) プログラムの複雑化を回避できる。

などの効果を得ることができる。

この様に、本発明はゲートアレイあるいはA S I C等で物理的制約を受けるL S Iの開発において大きなメリットを提供することができる。

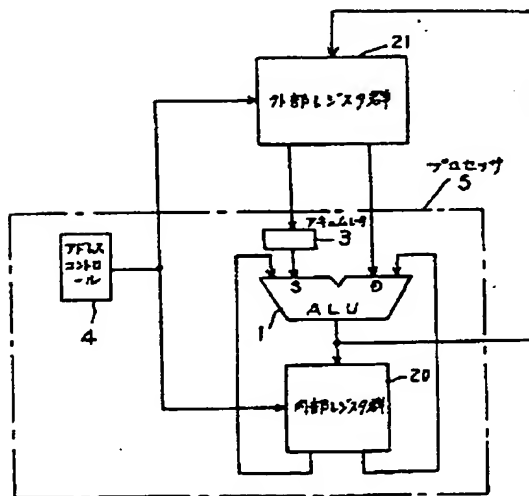
4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図はメモリのリード/モディファイ/ライトの動作図、第3図は従来技術と本発明の各演算例を示す動作図、第4図はA L Uとレジスタ間の動作説明図である。

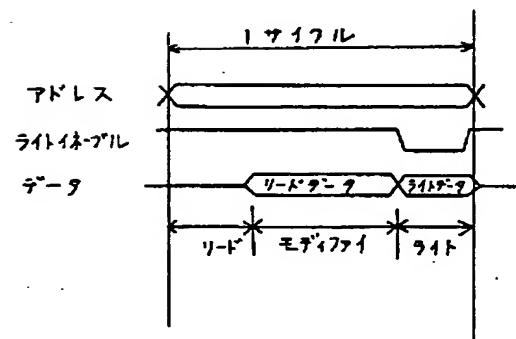
1 …… A L U、20 …… 内部レジスタ群、21 …… 外部レジスタ群、3 …… アキュムレータ、4 …… アドレスコントロール、5 …… プロセッサ。

代理人 弁理士 小川勝男

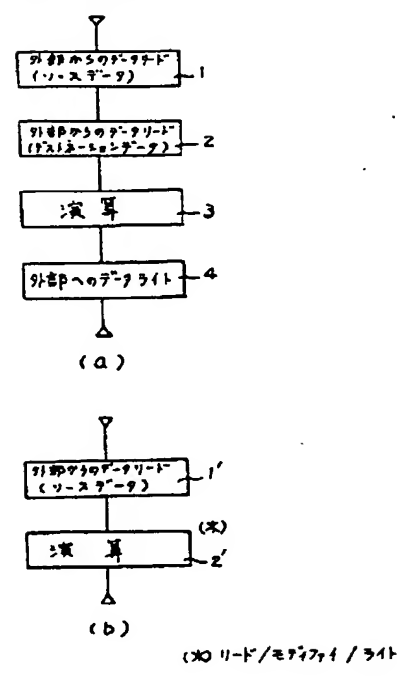
第 1 図



第 2 図



第 3 図



第 4 図

